



## INTERNATIONAL APPLICATION PUBLISHED UNDER THE PATENT COOPERATION TREATY (PCT)

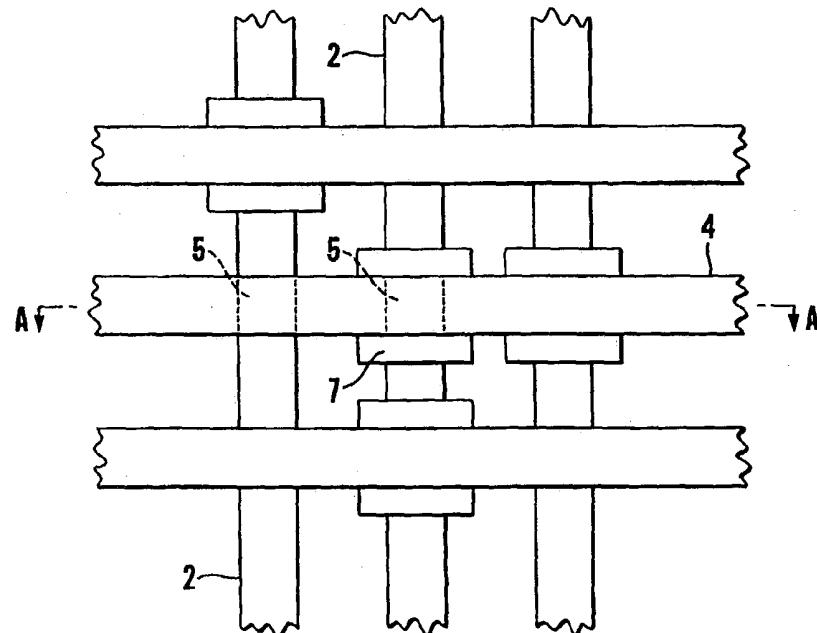
(51) International Patent Classification <sup>6</sup> :	A1	(11) International Publication Number:	WO 99/14762
G11C 11/56, 17/10, H01L 27/102		(43) International Publication Date:	25 March 1999 (25.03.99)

(21) International Application Number:	PCT/NO98/00263	(81) Designated States: AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GE, GH, GM, HR, HU, ID, IL, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, US, UZ, VN, YU, ZW, ARIGO patent (GH, GM, KE, LS, MW, SD, SZ, UG, ZW), Eurasian patent (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), European patent (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OAPI patent (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).		
(22) International Filing Date:	28 August 1998 (28.08.98)			
(30) Priority Data:				
973993	1 September 1997 (01.09.97)	NO		
(71) Applicant (for all designated States except US):	OPTICOM ASA [NO/NO]; Brynsveien 3B, N-0667 Oslo (NO).			
(72) Inventors; and				
(75) Inventors/Applicants (for US only):	GUDESEN, Hans, Gude [NO/NO]; Tyrihansveien 5, N-1639 Gamle Fredrikstad (NO). NORDAL, Per-Erik [NO/NO]; Båstadyggen 19, N-1370 Asker (NO). LEISTAD, Geirr, I. [NO/NO]; Jongsstubben 19, N-1300 Sandvika (NO).			
			(Published)	With international search report. Before the expiration of the time limit for amending the claims and to be republished in the event of the receipt of amendments. In English translation (filed in Norwegian).

## (54) Title: A READ-ONLY MEMORY AND READ-ONLY MEMORY DEVICE

## (57) Abstract

A read-only memory is made electrically addressable over a passive conductor matrix, wherein the volume between intersection of two conductors (2; 4) in the matrix defines a memory cell (5). Data are stored as impedance values in the memory cells. The memory cells (5) comprise either an isolating material (6) which provides high impedance or one or more inorganic or organic semiconductors (9), preferably with an anisotropic conducting property. The semiconductor material (9) forms a diode junction at the interface to a metallic conductor (2; 4) in the matrix. By suitable arrangement of respectively the isolating material (6) and semiconductor material (9) in the memory cells



these may be given a determined impedance value which may be read electrically and corresponds to logical values in a binary or multi-valued code. One or more read-only memories (ROM) may be provided on a semiconductor substrate (1) which also comprises driver and control circuits (13), to accomplish a read-only memory device. The device may be realized either planar or also volumetrically by stacking several read-only memories (ROM) in horizontal layers (15) and connecting them with the substrate (1) via addressing buses.

(19)日本国特許庁 (JP)

(12) 公表特許公報 (A)

(11)特許出願公表番号

特表2001-516964

(P2001-516964A)

(43)公表日 平成13年10月2日 (2001.10.2)

(51)Int.Cl.<sup>7</sup>

H 0 1 L 27/10

G 1 1 C 16/04

識別記号

4 3 1

F I

テマコード(参考)

H 0 1 L 27/10

4 3 1 5 B 0 0 3

G 1 1 C 17/00

3 0 5 5 F 0 8 3

審査請求 有 予備審査請求 有 (全 37 頁)

(21)出願番号 特願2000-512213(P2000-512213)  
(86) (22)出願日 平成10年8月28日(1998.8.28)  
(85)翻訳文提出日 平成12年3月1日(2000.3.1)  
(86)国際出願番号 PCT/NO 98/00263  
(87)国際公開番号 WO 99/14762  
(87)国際公開日 平成11年3月25日(1999.3.25)  
(31)優先権主張番号 973993  
(32)優先日 平成9年9月1日(1997.9.1)  
(33)優先権主張国 ノルウェー(NO)

(71)出願人 シン フィルム エレクトロニクス エイ  
エスエイ  
ノルウェー国、オスロ、バイカ、ピー、  
オー、ボックス 1872  
(72)発明者 グデセン、ハンス、グデ  
ノルウェー国 ガムレ フレドリクスタ  
ド、ティリハンスベイエン 5  
(72)発明者 ノルダル、ペルー エリク  
ノルウェー国 アスケル、バスタドリッ  
ゲン 19  
(74)代理人 弁理士 浅村皓 (外3名)

最終頁に続く

(54)【発明の名称】 読出し専用メモリ及び読み出し専用メモリ装置

(57)【要約】

読み出し専用メモリが受動伝導体マトリックスに亘って電  
気的にアドレス可能にされており、この場合マトリックス  
中の二つの伝導体(2、4)の共通部分間の体積がメ  
モリセル(5)を定める。データーはメモリセルのイン  
ピーダンス値として記憶される。メモリセル(5)は、  
大きなインピーダンスを与える絶縁材料(6)、又は一  
つ以上の無機又は有機半導体(9)、好ましくは異方性  
伝導性を有する半導体を有する。半導体材料(9)は、  
マトリックス中の金属伝導体(2、4)に対する界面の  
所にダイオード接合を形成する。メモリセル中に絶縁材  
料(6)及び半導体材料(9)を夫々適切に配置するこ  
とにより、それらに決定インピーダンス値を与えること  
ができる、その値は電気的に読み出すことができ、2進又は  
多値コードでの論理値に相当する。読み出し専用メモリ装  
置を完成するために、駆動及び制御回路(13)も有する  
半導体基板(1)上に一つ以上の読み出し専用メモリ  
(ROM)を与えることができる。その装置は、平面化  
又は複数の水平層(15)として幾つかの読み出し専  
用メモリ(ROM)を重ね、それらをアドレス母線によ

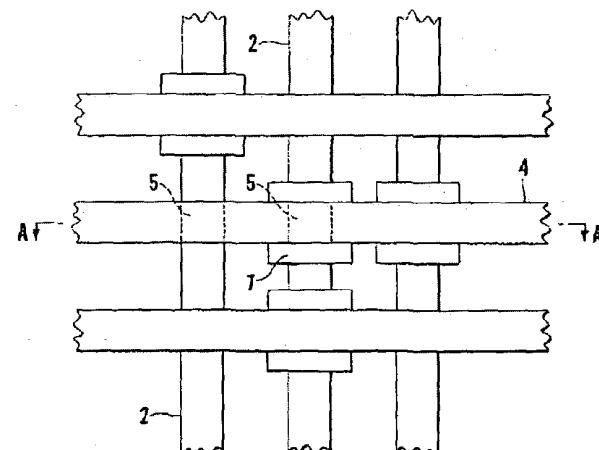


Fig.3a

## 【特許請求の範囲】

【請求項1】 読出し専用メモリの製造過程の一部分を占める書き込み操作で、メモリに永久的に書き込み又は記憶されるデータを定める決定されたプロトコルに従って、一つ又は二つ以上の論理状態を夫々永久的に割り当てられた複数のメモリセル(5)、及びアドレスするための電気伝導体(2、4)の受動マトリックスを有する電気的にアドレス可能な不揮発性読出し専用メモリで、前記受動電気伝導体マトリックスが、それぞれ相互に離れて配置された平行な平面内にある第一及び第二の電極構造体を有し、各平面内に平行な電極(2、4)が存在し、前記電極が実質的に直交x、yマトリックスを形成しており、前記第一電極構造体の電極が、マトリックスの桁、即ちx電極を構成し、第二電極構造体の電極(4)が、マトリックスの行、即ち、y電極を構成し、x電極(2)とy電極(4)との共通部分の間の体積の少なくとも一部分が読出し専用メモリのメモリセル(5)を定め、前記メモリセル(5)中のx電極(2)とy電極(4)との相互に重なった部分が、夫々メモリセル(5)の接触領域(11)を定め、選択された電気伝導性電極材料及び電気絶縁材料(6)に関して整流性を有する少なくとも一つの半導体材料が前記電極構造体の間に与えられており、メモリセル中の電極(2、4)と電気的に接触する半導体材料(9)が半導体材料と電極材料との間の界面にダイオード接合を形成している不揮発性読出し専用メモリにおいて、前記読出し専用メモリ中のメモリセル(5)の第一論理状態がメモリセル中の全接触領域(11)を覆う半導体材料(9)の活性部分によって形成され、前記ダイオード接合が前記メモリセルの全接触領域を占め、前記読出し専用メモリ中の選択されたメモリセル(5)の第二論理状態が、絶縁材料(6)によって覆われたメモリセル中の少なくとも一つの電極構造体によって形成され、前記読出し専用メモリ中のメモリセル(5)中の一つ又は幾つかの付加的論理状態が、接触領域(11)の一部分だけを覆う半導体材料(9)の活性部分によって形成されており、且つ(又は)ダイオード接合が接触領域(11)の一部分だけを占め、メモリセルに記憶されたデータが2進又は多値コードの論理状態により表され、各場合の論理状態がメモリセル(5)のインピーダンス値によって与えられ、前記インピーダンス値が次の因子；半導体材料のインピーダンス特性、絶縁材料

のインピーダンス特性、半導体材料の活性部分の広さ、ダイオード接合を形成する接觸領域の部分の広さ、及びダイオード接合のインピーダンス特性；の一つにより実質的に与えられていることを特徴とする読み出し専用メモリ。

【請求項2】 読出し専用メモリが、唯一つの付加的論理状態を持つ2進論理メモリを構成しており、論理0又は論理1を表す第一論理状態が、メモリセル(5)に形成されたダイオードの実効順方向バイアス抵抗により与えられ、ここで半導体材料(9)がx電極(2)とy電極(4)の両方に接觸しており、それに対応して、論理1又は論理0を表す付加的論理状態が、メモリセル(5)に与えられた絶縁材料(6)の選択された抵抗値によって与えられ、ここで半導体材料(9)がせいぜいx電極(2)又はy電極(4)と接觸している、請求項1に記載の読み出し専用メモリ。

【請求項3】 メモリセル中の絶縁材料(6)が無限抵抗値を有する、請求項2に記載の読み出し専用メモリ。

【請求項4】 読出し専用メモリが、二つ又は幾つかの更に別の論理状態を持つ多値論理メモリとして実現されており、第一論理状態が、メモリセル(5)に形成されたダイオードの実効順方向バイアス抵抗により与えられ、ここで半導体材料(9)がx及びy電極(2、4)の両方に接觸しており、付加的論理状態が、メモリセル(5)に与えられた絶縁材料(6)に対し決定された抵抗値によって与えられ、ここで半導体材料(9)がせいぜいx電極(2)又はy電極(4)と接觸し、各場合の選択された決定抵抗値が、ダイオードに形成されたメモリセル(5)の実効順方向バイアス抵抗と無限との間に存在する、請求項1に記載の読み出し専用メモリ。

【請求項5】 選択されたメモリセル(5)中の絶縁材料(6)が、メモリセル(5)中の電極(2、4)の少なくとも一方を全て又は部分的に覆う別々になつた層状アイソレータパッチ(7)の形で電極構造体の間に与えられており、半導体材料の活性部分に依存して選択されたメモリセル及び(又は)後者の場合の接觸領域のダイオード接合部分が多値コードの一つのレベルに相当する論理状態を得ている、請求項1に記載の読み出し専用メモリ。

【請求項6】 アイソレータパッチ(7)が電極(2、4)の一方だけを全

て又は部分的に覆い、半導体材料(9)が、全体的層として電極構造体の間、及び更に選択されたメモリセル(5)中のアイソレータパッチ(7)の上に与えられている、請求項5に記載の読み出し専用メモリ。

【請求項7】 アイソレータパッチ(7)が電極(2、4)の両方を全て又は部分的に覆い、半導体材料(9)が、電極構造体の間だけに、選択されたメモリセル(5)中のアイソレータパッチ(7)に隣接して与えられており、半導体材料(9)とアイソレータパッチ(7)とが共通の連続層として相互に同じ高さになっている、請求項5に記載の読み出し専用メモリ。

【請求項8】 絶縁材料(6)が、選択されたメモリセル(5)の中の部分(8)を除き、電極構造体の少なくとも一方を覆う実質的に全体的な層の形で電極構造体間に与えられており、前記除かれた部分が、選択されたメモリセル(5)中の電極(2、4)を全て、又は部分的に露出し、半導体材料(9)の活性部分に依存する前記メモリセル及び(又は)後者の場合の接触領域(11)のダイオード接合部分が、多値コードの一つのレベルに相当する論理状態を得ている、請求項1に記載の読み出し専用メモリ。

【請求項9】 絶縁層(6)が、電極構造体の一方だけを覆い、半導体材料(6)が、電極構造体の間及び絶縁層(6)の上に全体的層として与えられており、更に、絶縁層(6)が除かれた部分中の電極構造体と接触している、請求項8に記載の読み出し専用メモリ。

【請求項10】 絶縁層(6)が両方の電極構造体を覆い、半導体材料(9、10)が、電極構造体の間にだけ、選択されたメモリセル(5)中の絶縁層(6)に隣接して与えられており、半導体材料(9、10)及び絶縁層(6)が、共通の連続層として相互に同じ高さになっている、請求項8に記載の読み出し専用メモリ。

【請求項11】 半導体材料(9)が無定形珪素である、請求項1に記載の読み出し専用メモリ。

【請求項12】 半導体材料(9)が多結晶質珪素である、請求項1に記載の読み出し専用メモリ。

【請求項13】 半導体材料(9)が有機半導体である、請求項1に記載の

読み出し専用メモリ。

【請求項14】 有機半導体(9)が共役重合体である、請求項13に記載の読み出し専用メモリ。

【請求項15】 半導体材料(9)が異方性伝導体である、請求項1に記載の読み出し専用メモリ。

【請求項16】 半導体材料(9)が一つより多い半導体からなる、請求項1に記載の読み出し専用メモリ。

【請求項17】 半導体材料(9)が電気伝導性材料が添加されているか、又はそれと一緒にされている、請求項1に記載の読み出し専用メモリ。

【請求項18】 半導体材料(9)、絶縁材料(6)、及び電極構造体が薄膜として実現されている、請求項1に記載の読み出し専用メモリ。

【請求項19】 読出し専用メモリ(ROM)が、半導体材料の基板(1)の上、又は半導体材料の基板(1、3)の間に与えられており、前記基板を経て駆動及びアドレスのための駆動及び制御回路(13)と接続されており、前記駆動及び制御回路(13)が、基板(1)又は基板(1、3)に集積されており、前記基板材料に適合する半導体技術により実現されている、請求項1～18のいずれか1項に記載の一つ以上の読み出し専用メモリ(ROM)を具えた読み出し専用メモリ。

【請求項20】 読出し専用メモリが水平層(15)として積層され、ボリューム型メモリ装置を与え、前記ボリューム型メモリ装置が、半導体材料の基板(1)上、又は半導体材料の基板(1、3)の間に与えられており、前記一つの基板又は複数の基板を経て駆動及びアドレスのための駆動及び制御回路(13)に接続されており、前記駆動及び制御回路(13)が、基板(1)又は基板(1、3)に集積されており、基板材料に適合する半導体技術により実現されている、請求項1～18のいずれか1項に記載の二つ以上の読み出し専用メモリを具えた読み出し専用メモリ。

## 【発明の詳細な説明】

## 【0001】

本発明は、読み出し専用メモリの製造過程の一部分を占める書き込み操作で、メモリに永久的に書き込み又は記憶されるデータを定める、決定されたプロトコルに従って、一つ又は二つ以上の論理状態を夫々永久的に割り当てられている複数のメモリセル、及びアドレスするための電気伝導体の受動マトリックスを有する電気的にアドレス可能な不揮発性読み出し専用メモリを具えた電気的にアドレス可能な不揮発性読み出し専用メモリにおいて、前記受動電気伝導体マトリックスが、相互に離れて配置された平行な平面内にある第一及び第二の電極構造体を有し、各平面内に平行な電極が存在し、前記電極が実質的に直交x、yマトリックスを形成しており、前記第一電極構造体の電極が、マトリックスの桁、即ちx電極を構成し、第二電極構造体の電極が、マトリックスの行、即ち、y電極を構成し、x電極とy電極との共通部分の間の体積の少なくとも一部分が読み出し専用メモリのメモリセルを定め、メモリセル中のx電極とy電極の相互に重なった部分が、夫々メモリセルの接触領域を定め、前記電極構造体の間に、選択された電気伝導性電極材料及び電気絶縁性材料に関し、整流性を有する少なくとも一つの半導体材料が与えられており、前記メモリセル中の電極と電気接触した半導体材料が、半導体材料と電極材料との間の界面にダイオード接合を形成している、読み出し専用メモリに関する。

## 【0002】

本発明は、本発明による一つ以上の読み出し専用メモリを具えた読み出し専用メモリ装置、及び本発明による二つ以上の読み出し専用メモリを具えた読み出し専用メモリ装置にも関する。

## 【0003】

平面上のデータ記憶位置又はビット点のマトリックスアドレスは、極めて多数のアドレス可能なメモリ位置を、適切な数の電気アドレスラインで達成する簡単で有効な方法である。x方向とy方向の両方に夫々n本の線を有する四角なx、yマトリックスでは、メモリ位置の数は $n^2$ になる。現在この基本的原理は、どの形態の場合でも、固体半導体メモリ機構の多数の異なった態様で実施されて

いる。それらでは、メモリ位置は、マトリックスとメモリ素子、典型的には電荷蓄積素子中の共通部分を経て外へ通ずる簡単な電気回路を有する。そのような機構は技術的及び商業的に非常に成功を収めている場合でも、それらは多くの欠点を有し、特に各メモリ位置は複雑な構造を有し、それがコストの増大及びデータ記憶密度の減少をもたらしている。大きな分類として所謂揮発性メモリ機構の中に入るものは、回路は一定して電流供給を持続しなければならず、記憶された情報を維持するためには、電力の消費及び加熱を伴う。一方、不揮発性機構はこの問題を起こさないが、減少したアクセス及びスイッチング時間の外、電力消費の増大及び高度の複雑性を代償として払っている。

#### 【 0 0 0 4 】

従来技術では、受動マトリックスで電気的アドレスをする半導体系読出し専用メモリの多くの例を与えており。例えば、米国特許第4,099,260号明細書〔ライズ(Lynes) その他〕には、大規模集積装置として製造された半導体系読出し専用メモリ(ROM)が記載されており、この場合一つの伝導型の自己絶縁性ビットライン表面領域が半導体基板に、直接反対の伝導型のバルク領域内に形成されている。バルク領域として同じ伝導型のチャンネルストップ領域が、ビットライン領域の間の間隔内に形成されている。ビットライン領域に対し直角に上に横たわる金属ワードラインが、絶縁層によりそれらとは別に形成されている。メモリセルは単一ショットキーダイオードからなる。この種のダイオードは、ビットラインの僅かにドープした部分とワードラインを接触させるために、製造中に絶縁層に開口が形成されるか否かに従い、ワードラインとビットラインとの各共通部分に形成されているか、又はそこには形成されない。この種のROMは、小さな領域、高速、低電力消費、及び低成本を有すると述べられている。

#### 【 0 0 0 5 】

更に、米国特許第4,000,713号明細書〔ボーゲ(Bauge) 及びモリエール(Mollier)〕により、チップ上にマトリックスの形に集積されたショットキーダイオード及びトランジスタのような半導体素子を有する装置が知られている。マトリックスは、希望の機能を与えるように注文設計することができる。例えば、それは、プログラム可能な論理アレー(PLA)のAND又はORマトリック

スとして、又は記憶密度及び電力消費に関して一層よい性質を有すると言われている読出し専用メモリとして用いることができる。幾らか異なった設計の平行金属電極を有する第一電極構造体が、例えば、p型の半導体基板上に与えられている。半導体基板上には酸化物層が形成されており、その酸化物層に開口が形成されて金属線によるアノード接点及びカソード接点を与えるようにしてあり、それら金属線が電極マトリックス中の第一金属レベルを構成する。カソード接点の下には二つのn'領域が配置されている。これらの領域はその下のコレクタ層まで伸びており、ショットキーダイオードが形成されるようになっている。第一金属レベル、即ち、電極レベルの上には絶縁層が与えられており、この上に第二電極レベルがあり、それは例えば直交第二電極構造体を構成する。絶縁層を通る開口は、マトリックス中の別の素子中に含まれる一群のそのような接点としてカソード接点との接触を確実に与える。

## 【 0 0 0 6 】

最後に、米国特許第5,272,370号明細書〔フレンチ(French)〕から、ガラス又は他の基板上に薄膜積層体として形成された開放及び閉鎖メモリセルのマトリックスに基づいた薄膜ROM装置が知られている。各閉鎖メモリセルは薄膜ダイオードからなり、それは、例えば、水素化無定形珪素の半導体膜の積層体で、別々の膜が異なった伝導型を有する積層体を用いることにより、異なった伝導特性を持つダイオードとして得ることができる。それにより、ROMマトリックス中の情報容量は増大する。その場合、ダイオード構造体と共に形成された各メモリ素子は、或る製造プロトコルに従い異なった論理レベルを持つように設定することができる。メモリ素子がダイオード構造体をもたない場合、又は半導体が、電極接点が形成されていないような絶縁層により覆われている場合、メモリ素子は、決定された第一論理レベル、例えば、論理0を形成するように用いることができる。

## 【 0 0 0 7 】

上述の従来法の装置は全て閉鎖電極接点中にダイオード接合を与えることにより、それ自体既知のやり方で受動マトリックスでの電気的アドレスを実現しているが、それらは一つには異なった型の半導体を用いているため、比較的大きな複

雜性を有する。しかし、最後に言及した刊行物（米国特許第5, 272, 370号）に記載されているようなROM装置では、マトリックスに二つより多い論理値を記憶させることは可能であるかもしれないが、これは異なったダイオード型、従って、ダイオード接合を有するピット点に異なったドープをした半導体の幾つかの層を使用することを前提としている。

## 【 0 0 0 8 】

従って、本発明の目的は、第一に、受動マトリックスで読み出し専用メモリの別々のメモリセルに電気的アドレスすることを可能にし、半導体及び薄膜技術で適用されているようなそれ自体既知の技術及び方法を用いて、読み出し専用メモリを簡単に安く実現しながら、メモリセルに記憶されたデーターを維持するために再書き込みを必要としない読み出し専用メモリ、即ちROMを与えることである。

## 【 0 0 0 9 】

特に、本発明の目的は、有機材料、例えば、重合体材料で、伝導体、絶縁体及び半導体材料の両方で用いることができる薄膜技術で実現され、一層融通性のある技術的解決法を与える、特に結晶質無機半導体を用いた場合よりも遥かに少ないコストを与えると考えられるものを使用することに基づく不揮発性読み出し専用メモリを与えることにある。

## 【 0 0 1 0 】

更に、予め定められたメモリセル又はメモリ位置の多値コード化を可能にする読み出し専用メモリを与えることも一つの目的である。

## 【 0 0 1 1 】

最後に、本発明の目的は、ボリューム型(volumetric)読み出し専用メモリ装置を実現するのに用いることができる読み出し専用メモリを与えることである。

## 【 0 0 1 2 】

これら及び他の目的及び利点は、読み出し専用メモリ中のメモリセルの第一論理状態が、メモリセル中の全接触領域を覆う半導体材料の活性部分により形成され、ダイオード接合がメモリセルの全接触領域を占め、読み出し専用メモリ中の選択されたメモリセルの第二論理状態が絶縁材料により覆われたメモリセル中の少なくとも一つの電極構造体により形成され、読み出し専用メモリ中のメモリセルの一

つ又は幾つかの付加的論理状態が接触領域の一部分だけを覆う半導体材料の活性部分により形成され、且つ（又は）ダイオード接合が、メモリに記憶されるデータが2進コード又は多値コードの論理状態により表すことができるように接触領域の一部分だけを占め、各場合の論理状態がメモリセルのインピーダンス値により与えられ、前記インピーダンス値が実質的に次の因子：半導体材料のインピーダンス特性、絶縁材料のインピーダンス特性、半導体材料の活性部分の広がり、ダイオード接合を形成する接触領域の部分の広がり、及びダイオード接合のインピーダンス特性；の一つにより与えられることを特徴とする読み出し専用メモリにより達成される。

## 【 0 0 1 3 】

本発明による第一読み出し専用メモリ装置は、半導体材料の基板上、又は半導体材料の基板の間に与えられ、それら基板を経て駆動及びアドレスのための駆動及び制御回路と接続されており、前記駆動及び制御回路が基板（単数又は複数）に集積されており、基板材料に適合する半導体技術で実現されていることを特徴とし、本発明による第二読み出し専用メモリ装置は、読み出し専用メモリが水平層として積層され、ボリューム型メモリ装置を与え、半導体材料の基板又は半導体材料の基板の間にボリューム型メモリ装置が与えられ、前記基板（単数又は複数）を経て、駆動及びアドレスのための駆動及び制御回路と接続されており、前記駆動及び制御回路が前記基板（単数又は複数）に集積されており、基板材料に適合する半導体技術で実現されていることを特徴とする。

## 【 0 0 1 4 】

本発明による読み出し専用メモリが、唯一つの付加的論理状態を持つ2進論理メモリを構成している場合、論理0又は論理1を表す第一論理状態が、メモリセルに形成されたダイオードの実効順方向バイアス抵抗により与えられ、半導体材料がx電極とy電極の両方に接触しており、それに対応して、論理1又は論理0を表す付加的論理状態が、メモリセルに与えられた絶縁材料の選択された抵抗値によって与えられ、半導体材料がせいぜいx電極又はy電極と接触し、メモリセルの前記絶縁材料が、好ましくは無限の抵抗値を有することが有利である。

## 【 0 0 1 5 】

本発明による読み出し専用メモリが、二つ以上の更に別の論理状態を持つ多値論理メモリとして実現されている場合、第一論理状態が、メモリセルに形成されたダイオードの実効順方向バイアス抵抗により与えられ、半導体材料がx電極とy電極の両方に接触しており、付加的論理状態が、メモリセルに与えられた絶縁材料に対し決定された抵抗値によって与えられ、半導体材料がせいぜいx電極又はy電極と接触し、各場合の選択された決定抵抗値が、ダイオードに形成されたメモリセルの実効順方向バイアス抵抗と無限との間に存在するのが有利である。

## 【0016】

本発明による読み出し専用メモリの第一の態様として、選択されたメモリセルの絶縁材料は、メモリセル中の電極の少なくとも一つを完全に又は部分的に覆う別々になった層状アイソレータパッチの形で電極構造体の間に与えられており、半導体材料の活性部分に依存して選択されたメモリセル及び（又は）後者の場合の接触領域のダイオード接合部分が多値コードの一つのレベルに相当する論理状態を得ている。

## 【0017】

もし前記第一態様のアイソレータパッチが電極の一方だけを全て又は部分的に覆うならば、半導体材料は電極構造体の間に全体的層として与えられ、更に選択されたメモリセル中のアイソレータパッチの上に与えられている。もしアイソレータパッチが完全に又は部分的に両方の電極を覆うならば、半導体材料は電極構造体の間に、選択されたメモリセル中のアイソレータパッチに隣接して与えられ、半導体材料とアイソレータパッチとが共通の連続層中で相互に同じ高さになっているように与えられているのが好ましい。

## 【0018】

本発明による読み出し専用メモリの第二の態様として、絶縁層が、選択されたメモリセルの中の部分を除いて、電極構造体の少なくとも一方を覆う実質的に全体的な層の形で電極構造体の間に与えられており、前記除かれた部分が、選択されたメモリセルの電極を全て又は部分的に露出し、半導体材料の活性部分に依存した前記メモリセル及び（又は）後者の場合の接触領域のダイオード接合部分が多値コードの一つのレベルに相当する論理状態を得ているようにする。

## 【 0 0 1 9 】

前記第二の態様で絶縁層が電極構造体の一方だけを覆うならば、半導体材料は電極構造体の間及び絶縁層の上に全体的層として与えられており、更に前記絶縁層の除かれた部分中の電極構造体に接触しているのが好ましい。もし絶縁層が両方の電極構造体を覆うならば、半導体材料は、電極構造体の間にだけ、選択されたメモリセルの絶縁層に隣接して与えられており、半導体材料及び絶縁層が共通の連続層の中で相互に同じ高さになっているのが好ましい。最後に、本発明により、半導体材料が無定形珪素、多結晶質珪素、又は有機半導体であるのが有利であり、好ましくは前記有機半導体は共役重合体である。

## 【 0 0 2 0 】

本発明により、半導体材料は異方性伝導体にしてもよい。半導体材料は、一種類以上の半導体からなるのが好ましく、出来れば電気伝導性材料が添加されているか、又はそれと一緒にする。

## 【 0 0 2 1 】

半導体材料、絶縁材料、及び電極構造体は、薄膜として実現されているのが好ましい。

## 【 0 0 2 2 】

本発明の背景及びその態様の種々の例を、次に図面を参照して詳細に述べる。

## 【 0 0 2 3 】

本発明の一般的背景を次に詳細に論ずる。一般的マトリックスアドレスシステムを第1図に示す。図中、 $m$ 本の電気伝導線2が相互に間隔を開けて配置され、 $x$ 方向に伸びており、その上に、例えば $n$ 本の電気伝導線4が $y$ 方向に伸びて横たわっており、直角 $x$ 、 $y$ 電極マトリックスとして夫々第一及び第二電極構造体を形成している。 $x$ 電極2と $y$ 電極4は、幾何学的に明確に定められた重なった領域、即ち、それら電極間の共通部分が与えられるように、互いに充分近接して配置されている。これらの共通部分の交差する $x$ 電極と $y$ 電極の幅によって与えられる重複領域によって大略規定される各共通部分に近く、それらの間の体積部分は、次の記載でメモリセル5として示すものを構成する。図2参照。メモリセル5中の $x$ 及び $y$ 電極2、4の夫々相互に重なった領域は、メモリセルの接触領

域として示す。本発明により、データーは各メモリセルにインピーダンス値として記憶され、例えば、各共通部分の x 及び y 電極間の抵抗値として記憶される。各共通部分又はメモリの位置の論理状態は、メモリセル中で互いに交差している x 電極と y 電極との間の電気インピーダンスを測定することにより見出される。

#### 【 0 0 2 4 】

一般に知られている電流アドレス及びマトリックスに基づくメモリシステムとは異なって、本発明は、純粹に受動電気アドレスを使用することができるようしている。なぜなら、メモリセル中に別々の活性回路素子は存在しないからである。受動マトリックス中にメモリセルを有する電子メモリを使用することは、電極マトリックス中の別の電流路又は漏洩電流路で妨害されることはよく知られている。この問題は図 2 に示してあり、この場合、電極  $m_k$  、  $n_l$  の間の共通部分により与えられるメモリセル  $5_{kl}$  をアドレスすることにより発生する別の電流路が、隣のメモリセルへの細い破線によって示されている。マトリックスの大きさ、即ち、積  $x \cdot y$  が増大すると、漏洩電流問題も増大する。もし各共通部分中のメモリ素子が純粹に抵抗性インピーダンスを有するならば、このことは書き込み操作で抵抗差が、図 2 に示すような別の電流路を通って漏洩する電流によって隠されることを意味する。もし各共通部分中の電気的接続に高度に非線形電流・電圧特性が与えられるならば、漏洩電流問題は小さくなるか、又は完全に除かれる。これは全く簡単に、当分野で示唆され、既によく知られているやり方で、即ち、各共通部分のインピーダンス又は抵抗と直列に整流ダイオードを与えることにより達成される。

#### 【 0 0 2 5 】

本発明の本質的目的は、簡単で安く、信頼性があり、同時に制御可能なインピーダンスの形で適当なメモリ構造体を使用することを可能にするやり方でこの種のダイオードのネットワークを形成することである。本発明によれば、x 及び y 電極は半導体材料の層を取り巻き、例えば、薄膜状に取り巻いているのが好ましい。特にこの半導体材料は、チオフェン又は P P V 型の共役重合体であるのが有利である。半導体材料に関して適切な電極材料を選択することにより、電極・半導体界面にダイオード接合が得られ、そのダイオードには非常に良好な整流特性

が与えられる。簡単な線形化した分析により、電極共通部分の数、即ち、漏洩電流による歪み又はノイズを起こすことなくアドレスできるメモリセルの数は、各共通部分内のダイオード整流比、即ち、与えられたバイアス電圧で順方向に流れる電流と逆方向に流れる電流との関係にほぼ等しいことが示されている。

## 【 0 0 2 6 】

図1に例示したように、有限の抵抗を持つ連続的材料層が電極マトリックスの共通部分の間の間隔内に伸びている場合の受動マトリックスメモリについての別の基本的問題は、各共通部分で完全な整流が行われていてさえも、これらの間隔内の電極線2、4の間に電流が流れることである。これら間隔内の電流路の長さが、共通部分、即ちメモリセル内の場合よりも遙かに長くても、また電極構造体間の層が極めて薄く、大きな表面抵抗を持つ場合でも、多くのそのような電流路の相互効果は測定インピーダンスに有害であり、従って最終的に、受動マトリックスで実現される共通部分の数、従って、メモリセルの数に上限が設定されることになる。

## 【 0 0 2 7 】

最後の種類の漏話は、フィルムコンダクタンスを極めて異方性にする、即ち、希望の電流方向では大きなコンダクタンスにし、その他は低いコンダクタンスにすることにより防止することができる。図1の場合、これは、マトリックスの面に垂直方向には大きなコンダクタンスにし、マトリックス平面内では低いコンダクタンスにすることに相当する。この種の性質を有する重合体組成物が文献、例えば、M. グランストレーム(Granstroem)及びO. インガネス(Inganaes)による論文「重合体混合発光ダイオードからの白色光の発光」(White light emission from a polymer blend light emitting diode), Applied Physics Letters 68, 2:147-149 (1996)に記載されており、電極手段及びそれに基づく装置は、本出願人に譲渡されているN O 特許出願No. 973390に記載されている。

## 【 0 0 2 8 】

電極の共通部分に大きな整流比を有する異方性薄膜の一方の側にx及びy電極2、4が与えられている、図1に示したようなそれ自体既知の基本的構造から出発して、選択された共通部分のダイオード間に電気絶縁性材料の制御された堆積

を行うことにより、データーをコード化することができ、そのようなものを、図3aに関連して一層詳細に論ずる。もしそのような選択された共通部分に無限抵抗が与えられるならば、各共通部分又は各メモリセルは、例えば、順方向バイアス電圧が  $R = R_F$  (ここで  $R_F$  はこの共通部分中の実効順方向バイアス抵抗である) の時、論理1を与える、 $R = \infty$  の時、論理0を与えるようにすることにより2進コード化することができる。この場合、意図的に無限抵抗を共通部分内に挿入しておく。一層大きなデーター記憶容量が一層大きな範囲の抵抗値を用いることにより得られ、その範囲は、例えば抵抗値を、 $R_1$ 、 $R_2$ 、 $R_3$ 、…、 $R_F < R_1 < R_2 < R_3 < \infty$  として、各メモリセル中に記憶される数ビットに相当する。

## 【002.9】

本発明による読み出し専用メモリの第一の態様を、次に図3a～3cを参照して記述する。この場合、図に示したようなそれ自体既知の一般的構造は、半導体2材料から作られ、ここでは電極マトリックス中の第一電極構造体を形成するx電極2と集積させた信号処理、経路指定、及び論理操作のための活性回路を有する底の基板1、即ち、支持板にx電極を堆積することにより形成する。それに対応して、頂部基板3は同じやり方で対応する目的のために回路とy電極4とを集積する。x電極2とy電極4は、例えば、本発明による読み出し専用メモリのビットライン及びワードラインを形成するために用いることは分かるであろう。回路及び電極2、4を有する基板1、3は、両方共標準的半導体技術によって処理され、例えば、基板として結晶質半導体ウエーハ、例えば珪素ウエーハを用いることができる。別法として、珪素は無定形珪素、或は固い又は可焼性の支持体(支持板)の上の半導体有機材料からなっていてもよい。次の工程で、基板2、4の一方又は2、4の両方をコード化し、得られる読み出し専用メモリが希望の情報内容を受けとることができるようにする。これは、基板1、3の一方の上の電極2、4の上にパッチ7の形に局部的アイソレータ又はレジスタフィルム6を与えることにより行われるのが有利であり、それらがx電極とy電極との間の共通部分に位置するようとする。固体技術で一般的な材料を用いることができ、堆積及び調節のために同様によく知られた技術を用いることができる。レジスタパッチ7の上のアイソレータパッチ上に、今度は例えば、図3bに示したよう

に全体的半導体層 9 が堆積されており（半導体層 9 は簡明にするため図 3 a からは削除されている）、それは同時に電極構造体の一方、例えば、y 電極 2 の電極材料とダイオード接合を形成する。選択された半導体材料及び電極構造体に選択された材料は、電極構造体の露出された部分が物理的に半導体材料と接触している場合、整流接合又はダイオード接合が自然に形成されるようなものにする。

## 【 0 0 3 0 】

用いられる半導体材料は、大量コストが低く、処理が簡単で寿命が長い等の望ましい性質を持つと共に、適當な整流及び伝導性を持たなければならず、電極構造体の材料に対する最適接触が得られるようなものでなければならない。半導体材料として、例えば、PPV 又はチオフェン系の共役重合体が適切である。別法として、無定形珪素又は多結晶質珪素を、プラスチック材料の異方性伝導性薄膜と一緒に用いることもできる。

## 【 0 0 3 1 】

アイソレータパッチ 7 を電極 2、4 上に堆積した場合、基本的製造工程は正確な調節を必要とする。しかし、この工程は電極マトリックスを有する活性回路の製造方法の直接的拡張により容易に実施することができる。図 3 b に示してあるように、半導体フィルム 9 の全体的堆積は、どのような種類の正確な調節でも、それを行うことなく実施することができる。しかし、y 電極 4 は、アイソレータパッチ 7 が電極構造体間の共通部分に位置するようなやり方で与えられなければならない。このことは、与えられる共通部分が接近する程、その配置に一層大きな精度を必要とする。それに関連して、半導体重合体の薄膜と組合せた有機半導体又は無定形珪素に基づく半導体回路を有する一番上の透明基板 3 を使用することにより、非透明の結晶性珪素基板を用いては達成することのできない調節を可能にすることができる。図 3 a の態様では、アイソレータパッチ 7 の抵抗値は、異なる絶縁材料を用いて、時にはアイソレータパッチの厚さ又は形を変えることにより変化させることができる。従って、例えばアイソレータパッチ 7 が与えられていない共通部分のメモリセル 5 が、論理 0 を表し、一方異なる幾何学性を持つか、又は異なる抵抗値を有する材料から作られたアイソレータパッチが用いられている場合のメモリセルに更に別の論理値が記憶されるような多値コ

ド化を行うことが充分可能である。純粋2進法のコード化では、全てのアイソレータパッチのインピーダンス値は勿論同じである。従って、それらは全て無限抵抗を持つように製造することができる。図3a～3cに示した態様で2進コード化を得る特に好ましい方法も、図5a及び5bに関連して下に論述する。もしアイソレータパッチ7が同じ厚さを持つならば、図3cに示すように、半導体層9を電極2、4の間に与え、それらがアイソレータパッチ7の表面と同じ高さで平らになっているようにする。これにより、漂遊電流及び漂遊キャパシタンスを除去及び減少することに関して更に利点を得ることができる。図3bの別の態様として、半導体バルク材料9に、漂遊キャパシタンスが生ずるか、漂遊電流が流れることがある。しかし、これは伝導方向が電極構造体の間に伸びている異方性半導体を半導体材料として用いることにより除去することができる。しかし、図3cに示すように、半導体層9がアイソレータパッチ7の表面と同じ高さになっているならば、それはアイソレータパッチが同じ厚さを有する場合に都合のよいものであるが、電極構造体間の距離を減少し、半導体層を一般に遙かに薄くすることができ、その結果半導体材料は異方的伝導性である必要はなくなり、然も、起り得るバルク電流は同時に大きく減少する。勿論、半導体材料と電極構造体の一方との間のダイオード接合は、同時に維持され、電極構造体を通る漏洩電流の危険を減少するか又は除去する。

## 【 0 0 3 2 】

図4a及び4bは、本発明による読み出し専用メモリの別の態様を平面図及び図4aの線A-Aに沿ってとった断面で夫々示している（ここでも半導体層9は図4aから削除されている）。前と同じように、電極構造体を、夫々下及び上の基板1、3の上に堆積するが、今度は絶縁層6を電極2、4の上、電極構造体の間、及びそれらの一方の上に実質的に全体的な層として堆積する。しかし、他の論理値を記憶するメモリセル5を中に形成する目的で予め定められた共通部分の中の部分8は除いて堆積する。今度は絶縁層6の表面上に堆積させた半導体材料9は（図4b参照）、勿論除去された部分8、即ち絶縁層6中の「窓」の中では、両方の電極構造体だけに接触しており、これらの除去された部分にあるメモリセル5は、例えば、2進論理値0を記憶し、一方電極構造体の一方が絶縁層6で覆

われているメモリセル5が2進論理値1を記憶するようにする。図3aに示した態様と同様に、ここでも半導体材料9は、それが絶縁層6と同じ高さで平らになるように与えられており、即ち、それは除かれた部分8、即ち窓の中に位置するだけであり、それにより上述の利点が得られ、これは図4cに示されている。この場合、半導体材料は電極2の上の「パッチ」10として示されている。図4a～cの態様についての製造工程は、簡単に要約すると、基板1の上にx電極を堆積し、実質的に全体的な絶縁層6を適用し、除かれた部分8即ち窓をコード化し、その上に全体的半導体層9を適用し、一方y電極4を一番上の基板3の上に堆積し、然る後、堆積電極2、4、絶縁層6及び半導体層9を有する上の基板1と3を、サンドイッチ構造になるように接合することからなる。図4a～4bに示した態様の利点は、半導体が異方性半導体である必要はなく、同時に電極間の共通部分外の漂遊電流及び漏洩電流が実質的に完全に除去されることである。更にダイオード接合を通る漏洩電流が減少する。なぜなら、絶縁層中に窓が存在する所だけ電流が流れるからである。2進コード化だけを使用すると言う限定は、各電極構造体中の電極間の水平距離を減少し、メモリセルの面積密度が増大することによりデーター記憶密度を増大することができる。典型的には、漏洩電流バックグラウンドは2進コード化方式では半分になり、0で1/2、1で1/2になり、これにより電極マトリックス中のメモリセル、即ち共通部分の数は、アドレス（読み出し）で同じ基本的信号対ノイズ比を維持しながら、2倍にすることができる。図4a～cの態様でも、多値コードに基づく論理値を記憶することができ、それは、図6a及び6bを参照した次の記載で一層詳細に説明する。

## 【0033】

図5a及び5bは、図3a及び3cに示されているような読み出し専用メモリの態様のメモリセルを平面図及び断面図で示している。メモリセル5をコード付けるアイソレータパッチ7は、ここでは、例えばアイソレータパッチ7が全接触領域11を隔離している図3aに示した態様とは対照的に、各メモリセル中の接触領域の一部分だけを絶縁するように実現されている。前と同様に、半導体材料9はアイソレータパッチ7の上の電極2、4の間に与えられており、前と同様にメモリセル5の電極2、4の一方と、半導体材料9との間にダイオード接合が形

成されている。ダイオード接合は、例えば図3bの態様では、接触領域11と同様でもよいが、図3cに示したように、もしアイソレータパッチ7と同じ高さに平坦になっている半導体層9を用いるならば、勿論ダイオード接合の領域は、アイソレータパッチ7によって覆われていない部分まで減少する。有効伝導体断面積及び半導体材料のバルクインピーダンスは、薄い半導体層又は異方性半導体層では、有効接触領域に依存し、その領域は図5a、5bでは、アイソレータパッチ7によって覆われていない電極2、4の部分に限定されている。ダイオード接合の領域とは異なっていることがあるこの有効接触領域は、電極2、4の間の半導体中の活性部分を定める。メモリセルをコード化するために異なった大きさのアイソレータパッチを用いることにより、それは、このようにして多値コードでデーターを適切に記憶することができる。

## 【 0 0 3 4 】

図4a～4cの態様でメモリセル5のコード化は、図5a及び5bに示された方法との逆アナロジーで行われ、今度の場合、図5aに示したように、それは絶縁層6中の除去された部分7、即ち窓の広さであり、それがメモリセル5中の有効接触領域を定め、もし図4cの態様を用いるならば、接触領域のダイオード接合部分も決定する。従って、例えばメモリセル5中のx電極2の上に与えられた半導体材料10は、有効接触領域の減少に相当して実質的に減少したバルクインピーダンスを有し、このようにして絶縁層6中の窓8の大きさを変え、それによって有効接触領域を変えることにより、多値コードを使用してデーターをメモリセルに記憶させることができる。

## 【 0 0 3 5 】

多値コードを使用したデーターのコード化は、メモリセル中のインピーダンス値を読取る時に一層大きな識別力を必要とし、もしバルク及び漏洩電流がインピーダンス値信号を隠す危険が存在するならば、各電極構造体、従って、メモリセル5中の電極2、4間の相互距離を増大するか、又はさもなければ多値コードを、図3c及び図4cに夫々示した別の態様で用い、それによりメモリセルが大きな面積密度を有し、例えば2ビットコードで記憶されるデーターの読み出しを行うのに必要な識別力を維持し、即ち、夫々メモリセル中の接触領域の完全な遮蔽及

びメモリセル中の接触領域の完全な露出により与えられるコードレベルの間の二つのレベルを持って配置させることができ。しかし、例えば、3-又は4-ビットコード化を用いて、コードのレベル数を増大することは可能であることが考えられる。後者は、16レベルにより表されており、従って、もしメモリセルの製造が慣用的マイクロホトリトグラフ法により行われるならば、その実現は大きさ及び達成されるピッチの問題になるであろう。

## 【 0 0 3 6 】

当分野で知られているように、特別な型のダイオードを得るために、或は同じく当分野で知られているように、インピーダンス特性を変えるために、幾つかの半導体、例えば複数の層として与えた半導体材料を形成することは都合がよいであろう。同じ目的のために、半導体材料は、電気伝導性材料と一緒ににするか又はそれを添加してもよい。

## 【 0 0 3 7 】

本発明による一つ以上の読み出し専用メモリROMは、例えば、珪素の半導体基板1の上に与えるのが有利である。適合する半導体技術によりこの基板に、又はそれと集積させて、読み出し専用メモリのための駆動及び制御回路を与えることができる。例えば、珪素基板1の上に、集積駆動及び制御回路13を与えた四つの読み出し専用メモリROMを有する態様が図7に示されている。平面状の読み出し専用メモリを与える代わりに、それらは図8に示すように、複数の層として垂直に重ねてもよい。この場合も、例えば珪素の半導体基板1に駆動及び制御回路13を積層したものを用いる。この種の積層メモリー装置の側縁に沿って、アドレス及び駆動母線14を与え、夫々の電極構造体、即ち電極マトリックス中の電極を珪素基板の駆動及び制御回路に接続してもよく、これは図7に示されており、例えば、セラミックである絶縁層161、…16nにより相互に隔離されている積層読み出し専用メモリROM 151、…15nを有する態様を示している。

## 【 0 0 3 8 】

本発明による読み出し専用メモリ及び読み出し専用メモリ装置は、パーソナル・コンピューターで一般に用いられているような標準インターフェースと適合するコードフォーマットで実現できるのが有利である。実際、読み出し専用メモリ装置と

して実現される読み出し専用メモリは、既知の薄膜技術で実施することができ、読み出し専用メモリ装置は、珪素基板と積層してハイブリッド装置として出品されるであろう。実際、本発明による読み出し専用メモリは、現在の技術を用いて、電極構造体及びメモリセルの厚さがせいぜい数  $\mu\text{m}$  で、現実的に少なくとも 2 メモリセル/ $\mu\text{m}^2$  であるものが製造できることが判明している。従って、一つの記憶層で  $1\text{cm}^2$  の面積を持つ読み出し専用メモリは、2進コードで 25 メガビットを記憶する。現実的であると思われる、2-又は4-ビットコード化を用いることにより、データ記憶密度は、勿論それに応じて増大する。メモリセルの大きさを更に減少し、このようにして記憶密度を4倍にすることも実現可能であると思われる。従って、各読み出し専用メモリで数百メガビットを記憶することが可能になり、勿論データ記憶密度は、ボリューム式に構成した読み出し専用メモリ装置の積層した層の数と比例して増大する。

## 【 0 0 3 9 】

パソコン・コンピューター又は音声及び画面再生のためのプレイバック装置のためのデコーダ装置で用いるための標準カードインターフェースを用いて実施することにより、本発明による読み出し専用メモリを、さもなければ通常CD-ROMのような媒体に記憶される情報源のためのデータキャリヤーとして用いることができる。

## 【 0 0 4 0 】

本発明による読み出し専用メモリへの書き込み、即ち入力及びデータのコード化は、製造工程中及びそれと連続して行うことができる。読み出し専用メモリは、よく知られた薄膜技術及びホトリトグラフ法を用いて製造されるのが好ましい。基本的に全ての材料は、全体的層、電極構造体、パッチ、ホトマスク及びエッティングを用いて形成した除去部分（窓）として与えられる。従って、データの「書き込み」は、メモリセルを正しくコード化するように、決定プロトコルに従って、マスクのパッチ又は窓の配置及び形状を決定しながら、パッチ又は窓のためのホトマスクを「コード化」することにより行われる。この種の工程は、同じ情報源、例えば、音楽又は映画のためのプログラム情報を持つ読み出し専用メモリの大きな系列を製造するために容易に実施することができる。

## 【図面の簡単な説明】

## 【図1】

支持板又は基板の間に与えられた受動電極マトリックスを有するメモリ装置の一般的な構造を模式的に示す図である。

## 【図2】

この種のマトリックスに生ずることがある漏洩電流ループの例の概略図である。

## 【図3a】

図3aは、本発明による読み出し専用メモリの第一の構造の平面図である。

## 【図3b】

図3bは、図3aの読み出し専用メモリの、線A-Aに沿って取った、この構造の第一の変更を示す断面図である。

## 【図3c】

図3cは、図3aの読み出し専用メモリの、線A-Aに沿って取った、この構造の第二の変更を示す断面図である。

## 【図4a】

図4aは、本発明による読み出し専用メモリの第二の構造の平面図である。

## 【図4b】

図4bは、図4aの読み出し専用メモリの、線A-Aに沿って取った、この構造の第一の変更を示す断面図である。

## 【図4c】

図4cは、図4aの読み出し専用メモリの、線A-Aに沿って取った、この構造の第二の変更を示す断面図である。

## 【図5a】

図5aは、図3aの構造のメモリセルの多値コード化の例を示す図である。

## 【図5b】

図5bは、図5aのメモリセルの、線B-Bに沿って取った断面図である。

## 【図6a】

図6aは、図4aの構造のメモリセルの多値コード化の例を示す図である。

## 【図 6 b】

図 6 b は、図 6 a のメモリセルの、線 B - B に沿って取った断面図である。

## 【図 7】

図 7 において、図 7 a は、本発明による第一の読み出し専用メモリ装置の断面図である。

## 【図 8】

本発明による第二の読み出し専用メモリ装置の断面図である。

## 【図 1】

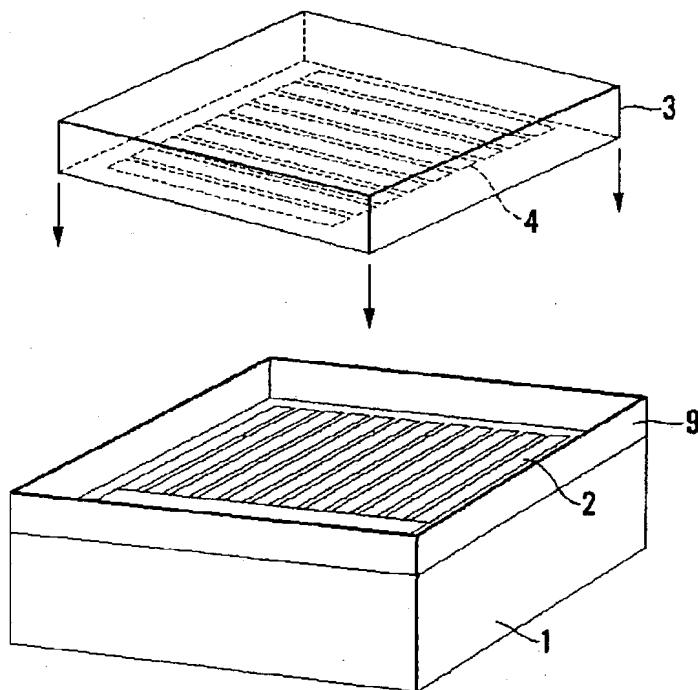


Fig.1

[図2]

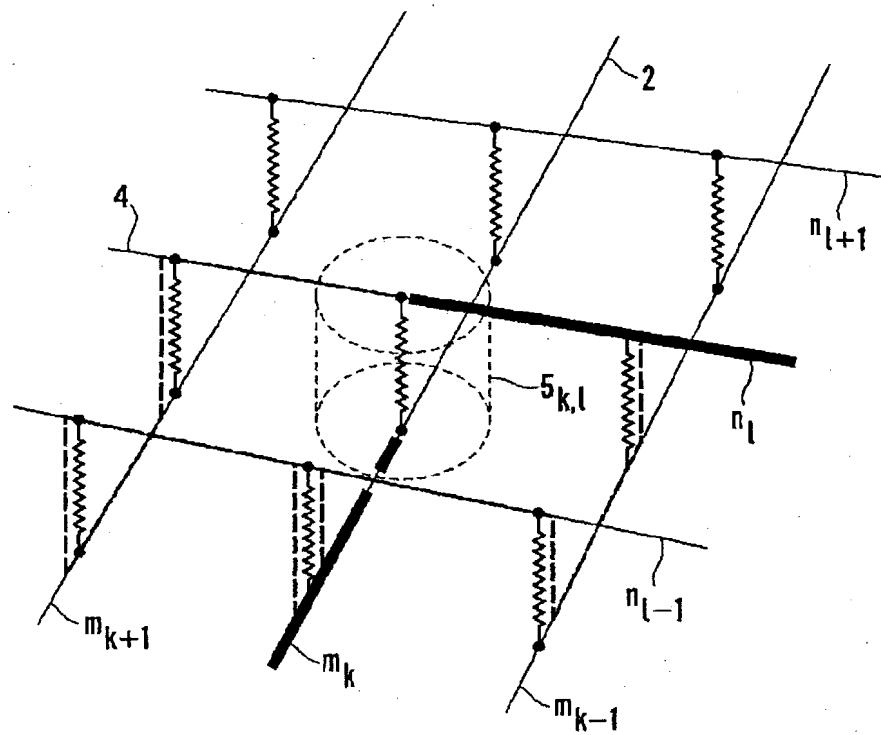


Fig.2

【図3a】

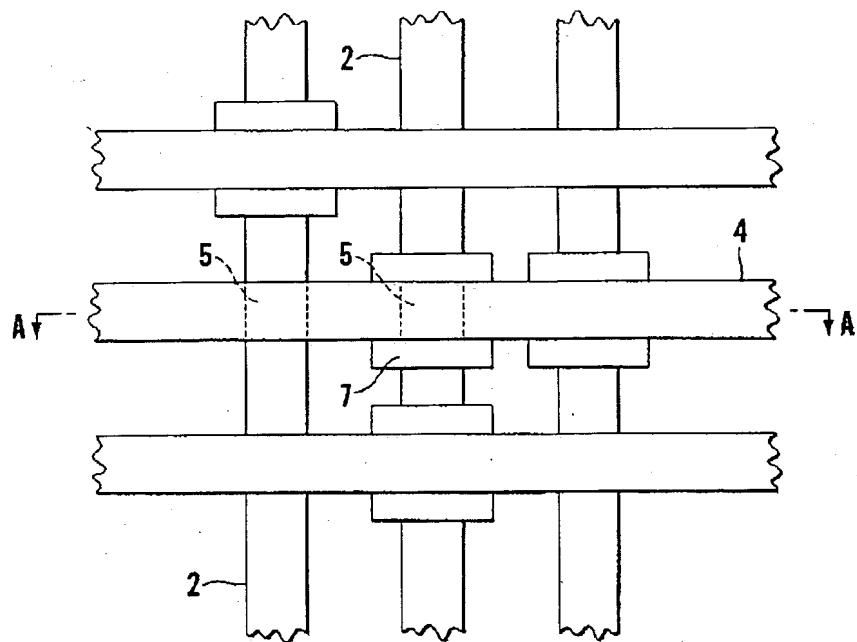


Fig.3a

【図 3 b】

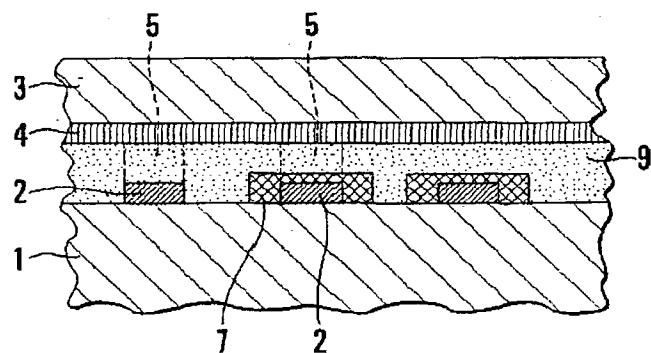


Fig. 3b

【図 3 c】

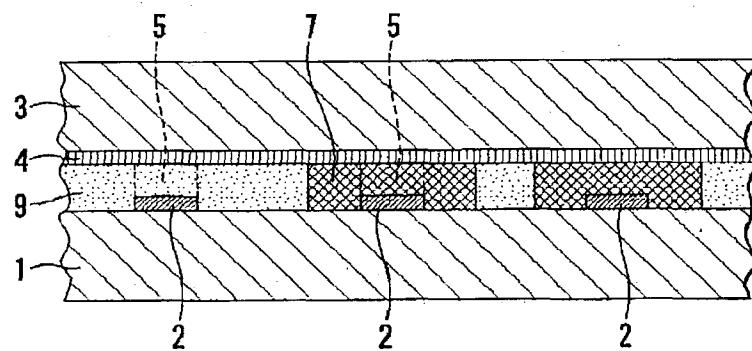


Fig. 3c

【図 4 a】

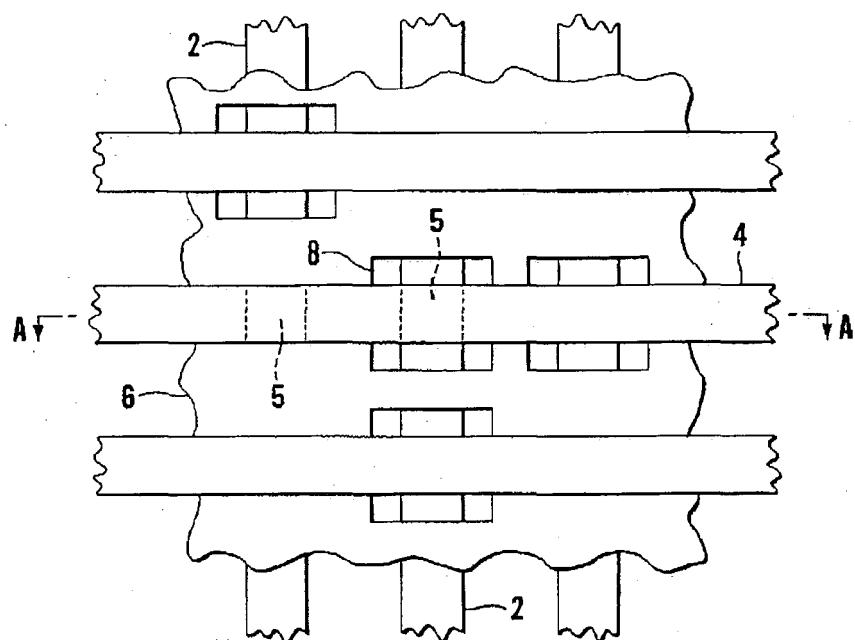


Fig.4a

【図 4 b】

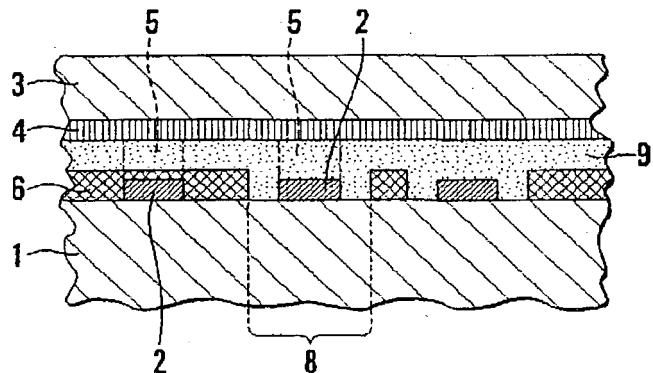


Fig.4b

【図 4 c】

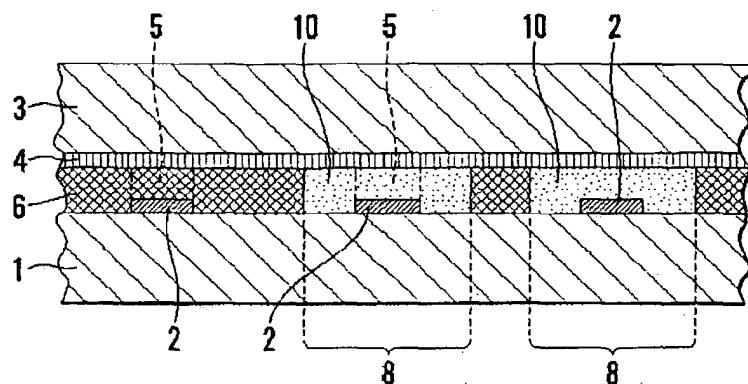


Fig.4c

【図 5 a】

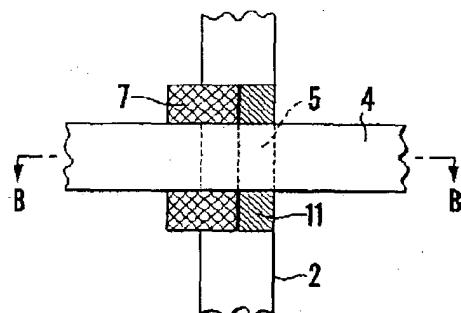


Fig.5a

【図 5 b】

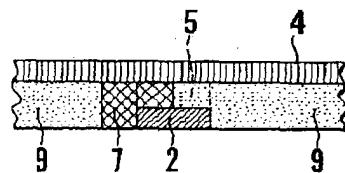


Fig.5b

【図 6 a】

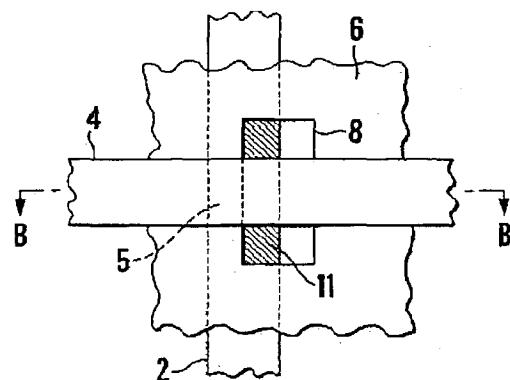


Fig.6a

【図 6 b】

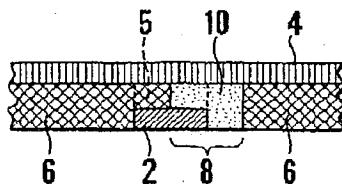


Fig.6b

【図 7】

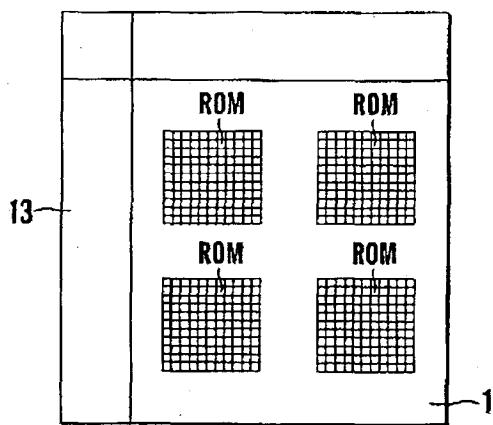


Fig.7

【図8】

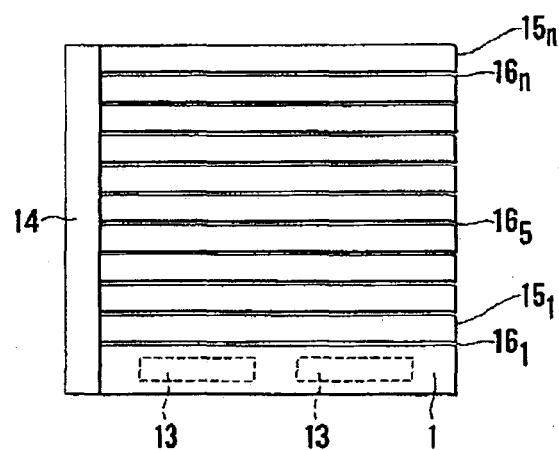


Fig.8

【手続補正書】特許協力条約第34条補正の翻訳文提出書

【提出日】平成12年3月1日(2000.3.1)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】請求項1

【補正方法】変更

【補正内容】

【請求項1】 読出し専用メモリの製造過程の一部分を占める書き込み操作で、メモリに永久的に書き込み又は記憶されるデータを定める決定されたプロトコルに従って、一つ又は二つ以上の論理状態を夫々永久的に割り当てられた複数のメモリセル(5)、及びアドレスするための電気伝導体(2、4)の受動マトリックスを有する電気的にアドレス可能な不揮発性読み出し専用メモリで、前記受動電気伝導体マトリックスが、それぞれ相互に離れて配置された平行な平面内にある第一及び第二の電極構造体を有し、各平面内に平行な電極(2、4)が存在し、前記電極が実質的に直交x、yマトリックスを形成しており、前記第一電極構造体の電極が、マトリックスの桁、即ちx電極を構成し、第二電極構造体の電極(4)が、マトリックスの行、即ち、y電極を構成し、x電極(2)とy電極(4)との共通部分の間の体積の少なくとも一部分が読み出し専用メモリのメモリセル(5)を定め、前記メモリセル(5)中のx電極(2)とy電極(4)との相互に重なった部分が、夫々メモリセル(5)の接触領域(11)を定め、選択された電気伝導性電極材料及び電気絶縁材料(6)に関して整流性を有する少なくとも一つの半導体材料が前記電極構造体の間に与えられており、メモリセル中の電極(2、4)と電気的に接触する半導体材料(9)が半導体材料と電極材料との間にダイオード接合を形成している不揮発性読み出し専用メモリにおいて、前記読み出し専用メモリ中のメモリセル(5)の第一論理状態がメモリセル中の全接触領域(11)を覆う半導体材料(9)の活性部分によって形成され、前記ダイオード接合が前記メモリセルの全接触領域を占め、前記読み出し専用メモリ中の選択されたメモリセル(5)の第二論理状態が、絶縁材料(6)によって覆われたメモリセル中の少なくとも一つの電極構造体によって形成され、各場合の論

理状態が、メモリセル（5）のインピーダンス値によって与えられ、前記インピーダンス値が次の因子、半導体材料のインピーダンス特性、絶縁材料のインピーダンス特性、及びダイオード接合のインピーダンス特性、の一つ以上により実質的に与えられている、読出し専用メモリにおいて、前記読出し専用メモリ中のメモリセル（5）中の一つ以上の付加的論理状態が、接触領域（11）の一部分だけを覆う半導体材料（9）の活性部分によって形成されており、且つ（又は）ダイオード接合が接触領域（11）の一部分だけを占め、メモリセルに記憶されたデータが2進又は多値コードの論理状態により表され、前記一つ以上の付加的論理状態が、半導体材料の活性領域の広さ及び（又は）ダイオード接合を形成する接触領域の部分の広さによって決定されたインピーダンス値によって与えられていることを特徴とする読出し専用メモリ。

## 【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】請求項9

【補正方法】変更

## 【補正内容】

【請求項9】 絶縁層（6）が、電極構造体の一方だけを覆い、半導体材料（9）が、電極構造体の間及び絶縁層（6）の上に全体的層として与えられており、更に、絶縁層（6）が除かれた部分中の電極構造体と接触している、請求項8に記載の読出し専用メモリ。

## 【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0001

【補正方法】変更

## 【補正内容】

## 【0001】

本発明は、読出し専用メモリの製造過程の一部分を占める書き込み操作で、メモリに永久的に書き込み又は記憶されるデータを定める、決定されたプロトコルに従って、一つ又は二つ以上の論理状態を夫々永久的に割り当てられている複数の

メモリセル、及びアドレスするための電気伝導体の受動マトリックスを有する電気的にアドレス可能な不揮発性読出し専用メモリを具えた電気的にアドレス可能な不揮発性読出し専用メモリにおいて、前記受動電気伝導体マトリックスが、相互に離れて配置された平行な平面内にある第一及び第二の電極構造体を有し、各平面内に平行な電極が存在し、前記電極が実質的に直交 x、y マトリックスを形成しており、前記第一電極構造体の電極が、マトリックスの桁、即ち x 電極を構成し、第二電極構造体の電極が、マトリックスの行、即ち、y 電極を構成し、x 電極と y 電極との共通部分の間の体積の少なくとも一部分が読出し専用メモリのメモリセルを定め、メモリセル中の x 電極と y 電極の相互に重なった部分が、夫々メモリセルの接触領域を定め、前記電極構造体の間に、選択された電気伝導性電極材料及び電気絶縁性材料に関し、整流性を有する少なくとも一つの半導体材料が与えられており、前記メモリセル中の電極と電気接觸した半導体材料が、半導体材料と電極材料との間の界面にダイオード接合を形成しており、前記読出し専用メモリ中のメモリセルの第一論理状態がメモリセル中の全接觸領域を覆う半導体材料の活性部分によって形成され、前記ダイオード接合が前記メモリセルの全接觸領域を占め、前記読出し専用メモリ中の選択されたメモリセルの第二論理状態が、絶縁材料によって覆われたメモリセル中の少なくとも一つの電極構造体によって形成され、各場合の論理状態が、メモリセルのインピーダンス値によって与えられ、前記インピーダンス値が次の因子、半導体材料のインピーダンス特性、絶縁材料のインピーダンス特性、及びダイオード接合のインピーダンス特性、の一つ以上により実質的に与えられている、読出し専用メモリに関する。

## 【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】

これら及び他の目的及び利点は、本発明により、読出し専用メモリ中のメモリセルの一つ以上の付加的論理状態が、接觸領域の一部分だけを覆う半導体材料の

活性部分により形成され、且つ（又は）ダイオード接合が、メモリに記憶されるデータが多値コードの論理状態により表すことができるよう接觸領域の一部分だけを占め、前記一つ以上の論理状態が、半導体材料の活性部分の広がり及び（又は）ダイオード接合を形成する接觸領域の部分の広がりによって決定されるインピーダンスにより与えられることを特徴とする読み出し専用メモリにより達成される。

## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International application No.
PCT/NO 98/00263

## A. CLASSIFICATION OF SUBJECT MATTER

IPC6: G11C 11/56, G11C 17/10, H01L 27/102

According to International Patent Classification (IPC) or to both national classification and IPC:

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC6: G11C, H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

SE, DK, FI, NO classes as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EDOC, WPIL, JAPIO, INSPEC

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5272370 A (IAN D. FRENCH), 21 December 1993 (21.12.93), see whole document --	1-18
A	WO 9641381 A1 (MICRON TECHNOLOGY, INC.), 19 December 1996 (19.12.96), see whole document --	1-19
A	US 5464989 A (SHINICHI MORI ET AL), 7 November 1995 (07.11.95), see whole document --	1-19
P, A	US 5811337 A (JEMMY WEN), 22 Sept 1998 (22.09.98), see whole document --	1-18

 Further documents are listed in the continuation of Box C. See patent family annex.

\* Special categories of cited documents

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"A" document defining the general state of the art which is not considered to be of particular relevance

"X" document of particular relevance the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"B" earlier document but published on or after the international filing date

"Y" document of particular relevance the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"Z" document referring to an oral disclosure, use, exhibition or other means

"D" document published prior to the international filing date but later than the priority date claimed

"E" document member of the same patent family

Date of the actual completion of the international search

26 February 1999

Date of mailing of the International search report

02-03-1998

Name and mailing address of the ISA/  
Swedish Patent Office  
Box 5055, S-102 42 STOCKHOLM  
Facsimile No. +46 8 666 02 86

Authorized officer

Bo Gustavsson  
Telephone No. +46 8 782 25 00

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/NO 98/00263

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category <sup>4</sup>	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 5170227 A (MASAHIDE KANEKO ET AL), 8 December 1992 (08.12.92), see whole document --	1-18
A	US 5375085 A (BRUCE E. GNADE ET AL), 20 December 1994 (20.12.94), abstract -----	20

INTERNATIONAL SEARCH REPORT Information on patent family members				International application No. PCT/NO 98/00263
Patent document cited in search report	Publication date	Patent family member(s)	Publication date	
US 5272370 A	21/12/93	EP 0520561 A JP 5206396 A	30/12/92 13/08/93	
WO 9641381 A1	19/12/96	AU 6048896 A EP 0835527 A JP 10511814 T US 5831276 A US 5841150 A	30/12/96 15/04/98 10/11/98 03/11/98 24/11/98	
US 5464989 A	07/11/95	US 5580809 A DE 4205044 A,C JP 2791522 B JP 5082757 A KR 9610736 B	03/12/96 20/08/92 27/08/98 02/04/93 07/08/96	
US 5811337 A	22/09/98	US 5834819 A	10/11/98	
US 5170227 A	08/12/92	DE 4008883 A,C JP 2246266 A JP 2508247 B	27/09/90 02/10/90 19/06/96	
US 5375085 A	20/12/94	JP 6204424 A US 5487031 A	22/07/94 23/01/96	

---

フロントページの続き

(81)指定国 EP(AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG), AP(GH, GM, KE, LS, MW, SD, SZ, UG, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CU, CZ, DE, DK, EE, ES, FI, GB, GE, GH, GM, HR, HU, ID, IL, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, UA, UG, US, UZ, VN, YU, ZW

(72)発明者 レイスター、ゲイル、アイ  
ノルウェー国 サンドビカ、ヨングスツツ  
ツベン 19

Fターム(参考) 5B003 AA01 AC01 AC02  
5F083 CR04 FZ07 JA33 ZA21

【要約の続き】

り基板(1)と接続することによりボリューム型として  
も実現することができる。